

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214256

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

H01G 4/38

H01G 4/35

(21)Application number : 10-032234

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 28.01.1998

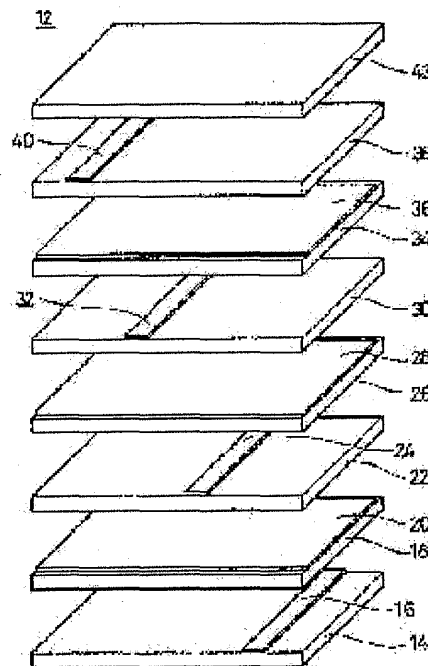
(72)Inventor : NAKADA YASUHIRO  
AZUMA TAKAHIRO

## (54) MULTILAYER THREE-TERMINAL CAPACITOR ARRAY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer three-terminal capacitor array having a small size and a small stroke.

SOLUTION: A multilayer three-terminal capacitor array includes a multilayer body 12. The multilayer body 12 is formed by stacking a plurality of dielectric layers 14, 18, 22, 26, 30, 34, 38, and 42. Signal electrodes 16, 24, 32, and 40 are formed on the dielectric layers 14, 22, 30, and 38, respectively, with one signal electrode on each dielectric layer. Ground electrodes 20, 28, and 36 are formed on the dielectric layers 18, 26, and 34, respectively, arranged between the signal electrodes 16, 24, 32, and 40. On the outer side of the multilayer body, an outer electrode connected to both ends of each of the signal electrodes 16, 24, 32, and 40, and an outer electrode connected to the ground electrodes 20, 28, and 36 are formed. The number of ground electrodes between the signal electrodes can be two or more.



## LEGAL STATUS

[Date of request for examination]

12.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2976960

[Date of registration]

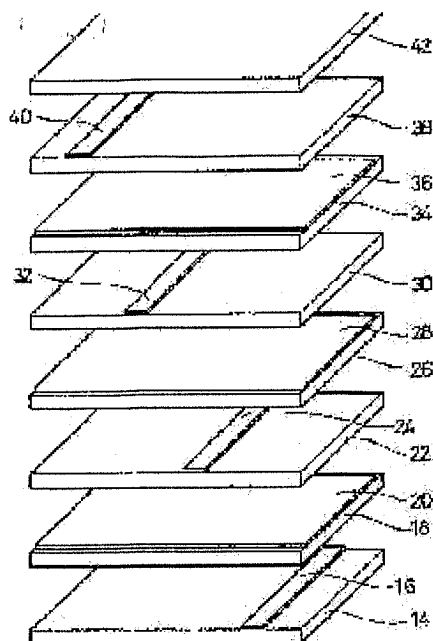
10.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



(11)Publication number :

11-214256

(43)Date of publication of application :

06.08.1999

(51)Int.Cl.

H01G 4/38

H01G 4/35

(21)Application number : 10-032234

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 28.01.1998

(72)Inventor : NAKADA YASUHIRO  
AZUMA TAKAHIRO

#### (54) MULTILAYER THREE-TERMINAL CAPACITOR ARRAY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a multilayer three-terminal capacitor array having a small size and a small stroke.

**SOLUTION:** A multilayer three-terminal capacitor array includes a multilayer body 12. The multilayer body 12 is formed by stacking a plurality of dielectric layers 14, 18, 22, 26, 30, 34, 38, and 42. Signal electrodes 16, 24, 32, and 40 are formed on the dielectric layers 14, 22, 30, and 38, respectively, with one signal electrode on each dielectric layer. Ground electrodes 20, 28, and 36 are formed on the dielectric layers 18, 26, and 34, respectively, arranged between the signal electrodes 16, 24, 32, and 40. On the outer side of the multilayer body, an outer electrode connected to both ends of each of the signal electrodes 16, 24, 32, and 40, and an outer electrode connected to the ground electrodes 20, 28, and 36 are formed. The number of ground electrodes between the signal electrodes can be two or more.

#### CLAIMS

[Claim(s)]

[Claim 1] It has the laminating field containing two or more signal electrodes formed on two or more dielectric layers and the above-mentioned dielectric layer, and the grand electrode formed all over the above-mentioned dielectric layer in which the above-mentioned signal electrode is not formed. In the above-mentioned dielectric layer in which the above-mentioned signal electrode was formed, only the one above-mentioned signal electrode is formed on the one above-mentioned dielectric layer. And the laminating 3 terminal capacitor array in which the laminating of the above-mentioned dielectric layer was carried out, the laminating field was formed in so that the above-mentioned grand electrode might be arranged among two or more above-mentioned signal electrodes, and the external electrode connected to the superficies of the above-mentioned laminating

field at each of the above-mentioned signal electrode and the above-mentioned grand electrode was formed.

[Claim 2] The laminating 3 terminal capacitor array according to claim 1 by which two or more above-mentioned grand electrodes are arranged between the above-mentioned signal electrodes.

[Claim 3] The laminating 3 terminal capacitor array according to claim 1 or 2 by which two or more above-mentioned signal electrodes were connected to the same above-mentioned external electrode.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective diagram showing an example of the laminating 3 terminal capacitor array of this invention.

[Drawing 2] It is the decomposition perspective diagram showing the laminating field of a laminating 3 terminal capacitor array shown in drawing 1.

[Drawing 3] It is the sectional-drawing solution view of a laminating 3 terminal capacitor array showing in drawing 1.

[Drawing 4] It is the equal circuit view of a laminating 3 terminal capacitor array showing in drawing 1.

[Drawing 5] It is the sectional-drawing solution view showing other examples of the laminating 3 terminal capacitor array of this invention.

[Drawing 6] It is the equal circuit view showing the relation between two 3 terminal capacitors formed in the laminating 3 terminal capacitor array shown in drawing 5.

[Drawing 7] It is the equal circuit view showing the relation between two 3 terminal capacitors formed in the laminating 3 terminal capacitor array shown in drawing 3.

[Drawing 8] It is the sectional-drawing solution view showing the modification of a laminating 3 terminal capacitor array shown in drawing 5.

[Drawing 9] It is the perspective diagram showing an example of the conventional laminating 3 terminal capacitor array.

[Drawing 10] It is the decomposition perspective diagram of the laminating field used for the conventional laminating 3 terminal capacitor array shown in drawing 9.

[Drawing 11] It is the sectional-drawing solution view of the conventional laminating 3 terminal capacitor array showing in drawing 9.

[Drawing 12] It is the sectional-drawing solution view showing the laminating 3 terminal capacitor array which has improved the cross talk of a laminating 3 terminal capacitor array shown in drawing 11.

[Description of Notations]

10 Laminating 3 Terminal Capacitor Array

12 Laminating Field

14 1st Dielectric Layer

16 1st Signal Electrode

18 2nd Dielectric Layer

20 Grand Electrode

22 3rd Dielectric Layer

24 2nd Signal Electrode

26 4th Dielectric Layer

28 Grand Electrode

30 5th Dielectric Layer

32 3rd Signal Electrode

34 6th Dielectric Layer

36 Grand Electrode

38 7th Dielectric Layer

40 4th Signal Electrode

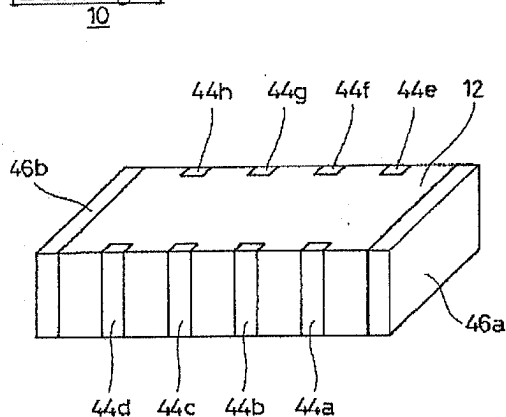
42 Dielectric Layer of Octavus

44a-44h External electrode

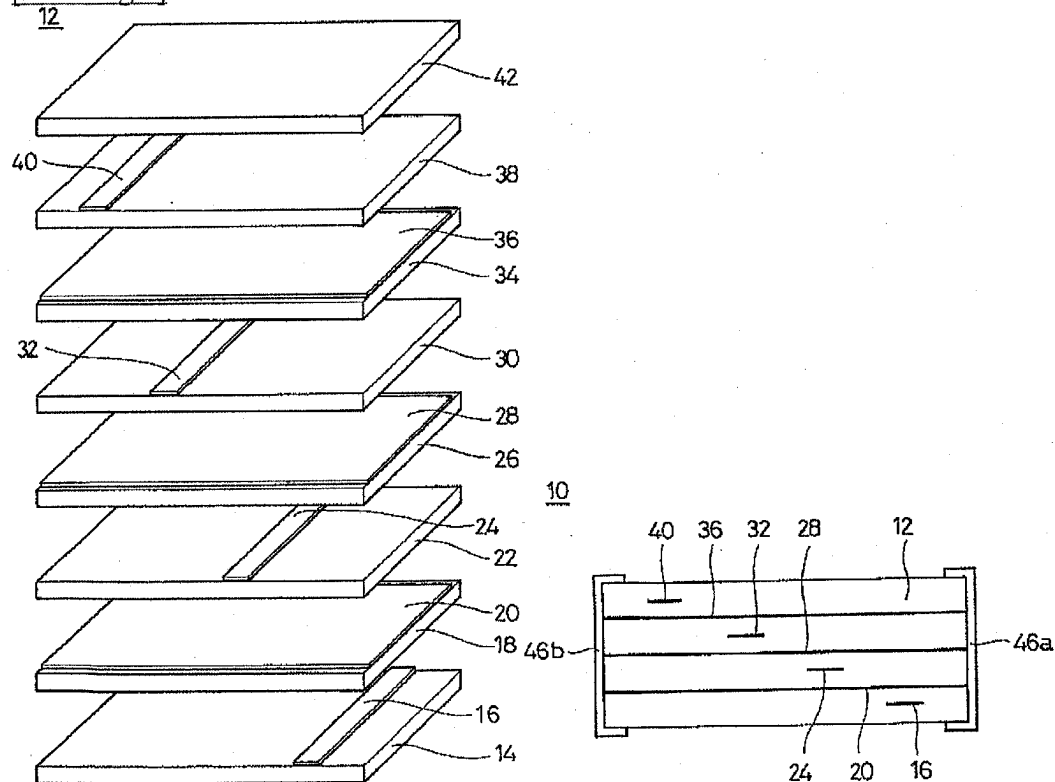
46a, 46b External electrode

48, 50, 52, 54 Signal electrode  
 56a, 56b, 58a, 58b Grand electrode  
 60a, 60b, 62a, 62b Grand electrode

[Drawing 1]



[Drawing 2]



[Drawing 3]

[Drawing 4]

# DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the laminating 3 terminal capacitor

array in which two or more 3 terminal capacitors used as a noise filter etc. were formed in 1 chip, especially about a laminating 3 terminal capacitor array, for example.

[0002]

[Description of the Prior Art] Drawing 9 is a perspective diagram showing an example of the conventional laminating 3 terminal capacitor array. The laminating 3 terminal capacitor array 1 includes the laminating field 2. The laminating field 2 contains two or more dielectric layers 3a-3d, as shown in drawing 10. On 1st dielectric layer 3a, the signal electrodes 4a-4d of the shape of four straight line are formed. Moreover, on 2nd dielectric layer 3b, the grand electrode 5 is mostly formed on the whole surface except for the both sides which signal electrodes 4a-4d exposed. Furthermore, on 3rd dielectric layer 3c, another signal electrodes 6a-6d are formed in the position corresponding to signal electrodes 4a-4d. And 3d of the 4th dielectric layer is laid in a signal electrodes [ these / 6a-6d ] top. The laminating of these dielectric layers 3a-3d is carried out, and the laminating field 2 is formed.

[0003] The external electrodes 7a-7h to which the signal electrodes 4a-4d and the signal electrodes 6a-6d are connected are formed in the superficies of the laminating field 2. Furthermore, two external electrodes 8 to which the grand electrode 5 is connected are formed in the superficies of the laminating field 2. Signal electrodes 4a and 6a are connected to the external electrodes 7a and 7e. Therefore, it flows between external electrode 7a and 7e, and electrostatic capacity is formed between the external electrodes 7a and 7e and the external electrode 8. Similarly, signal electrodes 4b and 6b are connected to the external electrodes 7b and 7f, signal electrodes 4c and 6c are connected to the external electrodes 7c and 7g, and signal electrodes 4d and 6d are connected to the external electrodes 7d and 7h.

[0004] This laminating 3 terminal capacitor array 1 is used as a noise filter. That is, the external electrode 8 is connected to a ground potential, and the noise contained in a signal is removed by passing a signal between external electrode 7a and 7e by the electrostatic capacity formed between the external electrodes 7a and 7e and the external electrode 8. In the laminating 3 terminal capacitor array 1, since two or more such 3 terminal capacitors are formed, the noise of two or more signals in one chip is removable.

[0005] As this laminating 3 terminal capacitor array 1 is shown in drawing 11, signal electrodes 4a-4d are formed in the same side, and signal electrodes 6a-6d are formed in same another field. Therefore, stray capacity occurs between signal electrodes [ 4a-4d ] adjoining things. the same -- signal electrodes 6a-6d -- although it adjoins, stray capacity occurs in between. If a signal is passed to two or more 3 terminal capacitors for this stray capacity, the signal which flows to 3 terminal capacitor will travel to another 3 terminal capacitor, and the so-called cross talk will occur. In order to make small stray capacity between such signal electrodes, as shown in drawing 12, there are some which formed signal electrodes 4a and 4c and the signal electrodes 4b and 4d on the different field, and formed signal electrodes 6a and 6c and the signal electrodes 6b and 6d on the different field. And the grand electrode 5 is formed between the fields in which each signal electrode was formed, respectively.

[0006] In this laminating 3 terminal capacitor array 1, since the grand electrode 5 is formed, for example between two signal electrodes 4a and 4b, stray capacity does not occur between such signal-electrode 4a and 4b. Moreover, since the distance between signal-electrode 4a which adjoins in the same side, and 4c becomes large, such 4a between signal electrodes and the stray capacity generated among 4c become small. The stray capacity which is the same about other signal electrodes and stray capacity does not generate between the signal electrodes in the both sides of a grand electrode, but is generated since the distance between the signal electrodes which adjoin in the same side is large is the parvus. Therefore, in the laminating 3 terminal capacitor array 1 shown in drawing 12, a cross talk can be made small compared with what is shown in drawing 11.

[0007]

[Problem(s) to be Solved by the Invention] However, the miniaturization is advanced also for the laminating 3 terminal capacitor array by the request of a miniaturization of electronic parts. In this case, the distance between the signal electrodes in the same side becomes small, stray capacity becomes large, and a cross talk becomes large. Furthermore, the signal electrode in the both sides of a grand electrode will form electrostatic capacity between the same grand electrodes. Therefore, a signal may be transmitted between the signal electrodes in the both sides through a grand electrode, and a cross talk may occur too.

[0008] So, the main purpose of this invention is small and is offering the parvus laminating 3 terminal capacitor array of a cross talk.

[0009]

[Means for Solving the Problem] Two or more signal electrodes by which this invention is formed on two or more dielectric layers and a dielectric layer, It has the laminating field containing the grand electrode formed all over the dielectric layer in which a signal electrode is not formed. In the dielectric layer in which the signal electrode was formed, only one signal electrode is formed on one dielectric layer. And it is the laminating 3 terminal capacitor array in which the laminating of the dielectric layer was carried out, the laminating field was formed in so that a grand electrode might be arranged among two or more signal electrodes, and the external electrode connected to the superficies of the laminating field at each of a signal electrode and a grand electrode was formed. In this laminating 3 terminal capacitor array, two or more grand electrodes may be made to be arranged between signal electrodes. Furthermore, you may connect two or more signal electrodes to the same external electrode.

[0010] Since only one signal electrode is formed on one dielectric layer and the grand electrode is arranged among two or more signal electrodes, stray capacity does not occur among two or more signal electrodes. Therefore, the cross talk by the stray capacity between signal electrodes can be reduced. And since only one signal electrode is formed in one dielectric layer, even if it miniaturizes, occurrence of the stray capacity between signal electrodes can be prevented. In such a laminating 3 terminal capacitor array, if two or more grand electrodes are formed between signal electrodes, each signal electrode can form electrostatic capacity between different grand electrodes, and can reduce the cross talk through the grand electrode. Furthermore, while capacity can be enlarged by connecting two or more signal electrodes to the same external electrode, the cross section of the signal electrode of one 3 terminal capacitor becomes large, and can enlarge current capacity.

[0011] The above-mentioned purpose of this invention, the other purposes, the characteristic feature, and an advantage will become much more clear from the detailed explanation of the following examples performed with reference to a drawing.

[0012]

[Embodiments of the Invention] Drawing 1 is a perspective diagram showing an example of the laminating 3 terminal capacitor array of this invention. The laminating 3 terminal capacitor array 10 includes the laminating field 12. The laminating field 12 contains the 1st dielectric layer 14, as shown in drawing 2. On the 1st dielectric layer 14, the 1st signal electrode 16 of the shape of a straight line prolonged in the width-of-face orientation is formed. In the fraction near the end side of the 1st dielectric layer 14, the 1st signal electrode 16 is formed so that it may become almost parallel to the end. And the 1st signal electrode 16 is formed so that it may expose to the both sides of the width-of-face orientation of the 1st dielectric layer 14.

[0013] On the 1st dielectric layer 14 in which the 1st signal electrode 16 was formed, the laminating of the 2nd dielectric layer 18 is carried out. On the 2nd dielectric layer 18, the grand electrode 20 is mostly formed except for the both sides which the 1st signal electrode 16 exposed on the whole surface. Furthermore, on the grand electrode 20, the laminating of the 3rd dielectric layer 22 is carried out. On the 3rd dielectric layer 22, the 2nd signal electrode 24 is formed in parallel with the 1st signal electrode 16. This 2nd signal electrode 24 is formed so that it may expose to the both sides of the width-of-face orientation of the 3rd dielectric layer 22. And the 2nd signal electrode 24 is formed in the position which shifted from the 1st signal electrode 16.

[0014] On the 3rd dielectric layer 22 in which the 2nd signal electrode 24 was formed, the laminating of the 4th dielectric layer 26 is carried out. On the 4th dielectric layer 26, the grand electrode 28 is mostly formed on the whole surface except for the both sides which the 1st and 2nd signal electrodes 16 and 24 exposed. Furthermore, on the grand electrode 28, the laminating of the 5th dielectric layer 30 is carried out. On the 5th dielectric layer 30, the 3rd signal electrode 32 is formed in parallel with the 1st and 2nd signal electrodes 16 and 24. This 3rd signal electrode 32 is formed so that it may expose to the both sides of the width-of-face orientation of the 5th dielectric layer 30. And the 3rd signal electrode 32 is formed in the position which shifted from the 1st and 2nd signal electrodes 16 and 24.

[0015] On the 5th dielectric layer 30 in which the 3rd signal electrode 32 was formed, the laminating of the 6th dielectric layer 34 is carried out. On the 6th dielectric layer 34, the grand electrode 36 is mostly formed on the whole surface except for the both sides which the 1st, the 2nd, and 3rd signal electrodes 16, 24, and 32 exposed. Furthermore, on the grand electrode 36, the laminating of the 7th dielectric layer 38 is carried out. On the 7th dielectric layer 38, the 4th signal electrode 40 is formed in parallel with the 1st, the 2nd, and 3rd signal electrodes 16, 24, and 32. This 4th signal electrode 40 is formed so that it may expose to the both sides of the width-of-face orientation of the 7th dielectric layer 38. And the 4th signal electrode 40 is formed in the position

which shifted from the 1st, the 2nd, and 3rd signal electrodes 16, 24, and 32. On the 7th dielectric layer 38 in which this 4th signal electrode 40 was formed, the laminating of the dielectric layer 42 of the octavus is carried out.

[0016] The external electrodes 44a, 44b, 44c, and 44d and the external electrodes 44e, 44f, 44g, and 44h are formed in the two side faces in which the signal electrodes 16, 24, 32, and 40 of the laminating field 42 were pulled out. The end of the 1st signal electrode 16 is connected to external electrode 44a, and the other end of the 1st signal electrode 16 is connected to external electrode 44e. Moreover, the end of the 2nd signal electrode 24 is connected to external electrode 44b, and the other end of the 2nd signal electrode 24 is connected to 44f of external electrodes. The end of the 3rd signal electrode 32 is connected to external electrode 44c, and the other end of the 3rd signal electrode 32 is connected to 44g of external electrodes. Moreover, the end of the 4th signal electrode 40 is connected to 44d of external electrodes, and the other end of the 4th signal electrode 40 is connected to 44h of external electrodes.

[0017] Furthermore, another external electrodes 46a and 46b are formed in the two side faces in which the external electrodes 44a-44h of the laminating field 12 are not formed. Three grand electrodes 20, 28, and 36 are connected to these external electrodes 46a and 46b. As the interior of this laminating 3 terminal capacitor array 10 is shown in drawing 3, the 1st signal electrode 16, the 2nd signal electrode 24, the 3rd signal electrode 32, and the 4th signal electrode 40 are arranged in the shape of a step, and the grand electrodes 20, 28, and 36 are arranged among each signal electrodes 16, 24, 32, and 40.

[0018] In this laminating 3 terminal capacitor array 10, the external electrodes 46a and 46b are connected to a ground potential. And a signal is passed for external electrode 44b and 44f between external electrode 44a and 44e in external electrode 44c and 44g and in 44d of external electrodes, and 44h. Therefore, as shown in drawing 4, a signal is passed by signal electrodes 16, 24, 32, and 40, and electrostatic capacity is formed between these signal electrodes 16, 24, 32, and 40 and the grand electrodes 20, 28, and 36. Therefore, if a signal is inputted into the external electrodes 44a, 44b, 44c, and 44d, the noise contained in it will be removed by electrostatic capacity, and the signal without a noise will be outputted from the external electrodes 44e, 44f, 44g, and 44h.

[0019] In this laminating 3 terminal capacitor array 10, only one signal electrode is formed on one dielectric layer, and the grand electrode is arranged between each signal electrode. That is, since a grand electrode surely exists between adjoining signal electrodes, stray capacity does not occur between signal electrodes. Therefore, even if it miniaturizes the laminating 3 terminal capacitor array 10, by the stray capacity between signal electrodes, it can prevent transmitting a signal from one signal electrode to other signal electrodes, and the so-called cross talk can be decreased.

[0020] However, the 1st signal electrode 16 and 2nd signal electrode 24 share the grand electrode 20 between the laminating 3 terminal capacitor array 10 shown in the drawing 2 and the drawing 3, the 2nd signal electrode 24 and 3rd signal electrode 32 share the grand electrode 28 between it, and the 3rd signal electrode 32 and 4th signal electrode 40 are sharing the grand electrode 36 between it. Therefore, the cross talk through these grand electrodes 20, 28, and 36 may be unable to be prevented. Then, as shown in drawing 5, it can consider forming two or more grand electrodes between each signal electrode.

[0021] In this laminating 3 terminal capacitor array 10, two grand electrodes 20a and 20b are formed between the 1st signal electrode 16 and the 2nd signal electrode 24. Similarly, between the 2nd signal electrode 24 and the 3rd signal electrode 32, two grand electrodes 28a and 28b are formed, and two grand electrodes 36a and 36b are formed between the 3rd signal electrode 32 and the 4th signal electrode 40. And these grand electrodes 20a, 20b, 28a, 28b, 36a, and 36b are connected to the external electrodes 46a and 46b, and the external electrodes 46a and 46b are connected to a ground potential.

[0022] Also in this laminating 3 terminal capacitor array 10, since the grand electrode is formed between each signal electrode, stray capacity cannot occur between signal electrodes, but the cross talk between signal electrodes can be decreased. Furthermore, two grand electrodes are formed between each signal electrode, and moreover, since these grand electrodes are these potentials, they can decrease the cross talk between grand electrodes.

[0023] In order to explain this, the equal circuit at the time of forming two grand electrodes between signal electrodes is shown in drawing 6, and the equal circuit at the time of forming one grand electrode between signal electrodes is shown in drawing 7. In these equal circuits, C1 is electrostatic capacity formed between one

signal electrode and a grand electrode, and C2 is electrostatic capacity formed between another signal electrode and a grand electrode. Moreover, L1 and L2 are the residual inductances of a grand electrode. L1 is an inductance which exists between the external electrodes 46a or 46b and the signal electrode near it here, and L2 is the inductance of the grand electrode which exists in the domain of the spacing of two signal electrodes. Furthermore, L0 is the residual inductance of the electrode of the circuit board which mounts the laminating 3 terminal capacitor array 10.

[0024] In drawing 7, since the number of the grand electrodes between signal electrodes is one, two electrostatic capacity C1 and C2 is connected with one inductance L2. To it, since the number of the grand electrodes between signal electrodes is two, two electrostatic capacity C1 and C2 is connected in drawing 6 with the inductance L1 which exists in two grand electrodes, and the inductance L2 which exists in one grand electrode.

[0025] In the equal circuit shown in drawing 7, the noise transmitted from electrostatic capacity C2 to the grand electrode flows to a gland through inductances L2, L1, and L0, and is not transmitted from electrostatic capacity C1 to other signal electrodes. However, if the impedance of electrostatic capacity C1 will become small if the frequency of a noise becomes high, and it becomes the impedance of inductance L1+L0 closely, as the arrow head shows, a noise will become easy to travel to other signal electrodes through electrostatic capacity C1. As long as the inductance L1 between electrostatic capacity C1 and the inductance L0 of the circuit board is larger than L0 even if the impedance of electrostatic capacity C1 benefits a RF noise small since electrostatic capacity C1 and C2 is not connected only with an inductance L2 in the equal circuit shown in drawing 6 to it, as the arrow head shows, a noise does not travel to an electrostatic-capacity C1 side.

[0026] Thus, the cross talk through the cross talk and grand electrode between signal electrodes can be decreased by forming only one signal electrode in one dielectric layer, and forming two grand electrodes between signal electrodes. In addition, the number of the grand electrodes between signal electrodes cannot be overemphasized by that not only two but three grand electrodes or more may be formed.

[0027] Moreover, in order to increase the current capacity of a signal electrode, as shown in drawing 8, you may form two or more signal electrodes between the external electrodes for I/O. Here, in addition to the laminated structure of the laminating 3 terminal capacitor array shown in drawing 5, the laminating of many dielectric layers is carried out further, and signal electrodes 48, 50, 52, and 54 are formed. Furthermore, in addition to the grand electrodes 22a, 22b, 28a, 28b, 36a, and 36b, the grand electrodes 56a, 56b, 58a, 58b, 60a, 60b, 62a, and 62b are formed. Every two of these grand electrodes are formed between each signal electrode, respectively.

[0028] Signal electrodes 16 and 48 are formed in the position which corresponds mutually, and are connected to the external electrodes 44a and 44e. Similarly, signal electrodes 24 and 50, the signal electrodes 32 and 52, and the signal electrodes 40 and 54 are formed in the position which corresponds mutually, and are connected to the external electrodes 44b and 44f, the external electrodes 44c and 44g, and the external electrodes 44d and 44h, respectively. In this laminating 3 terminal capacitor array 10, since two signal electrodes 16 and 48 are connected, for example between external electrode 44a and 44e, compared with the laminating 3 terminal capacitor array shown in the drawing 5 to which only one signal electrode 16 was connected, the cross section of a signal electrode becomes twice by high capacity. Therefore, the current capacity of the signal electrode between external electrode 44a and 44e becomes large, and the signal of a high current can be passed.

[0029] Of course, the number of the signal electrodes connected between external electrodes may be three or more, and should just adjust the number of the signal electrodes connected between external electrodes according to desired current capacity. In order to increase the number of the signal electrodes between external electrodes, a cross talk can be prevented as mentioned above by forming a grand electrode between each signal electrode that what is necessary is just to increase the number of laminatings of the dielectric layer in which the signal electrode was formed. In addition, the current capacity can be enlarged by increasing the number of the signal electrodes connected between external electrodes also about the laminating 3 terminal capacitor array in which one grand electrode was formed between signal electrodes.

[0030]

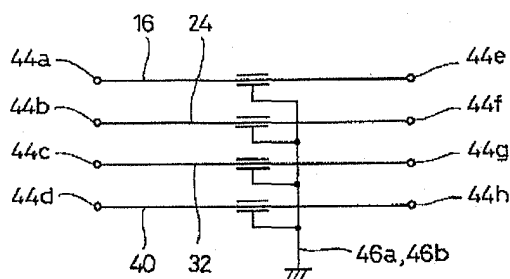
[Effect of the Invention] According to this invention, by forming only one signal electrode on one dielectric layer, and moreover forming a grand electrode between signal electrodes, stray capacity does not occur between signal electrodes, but the cross talk between signal electrodes can be stopped. Therefore, distance between



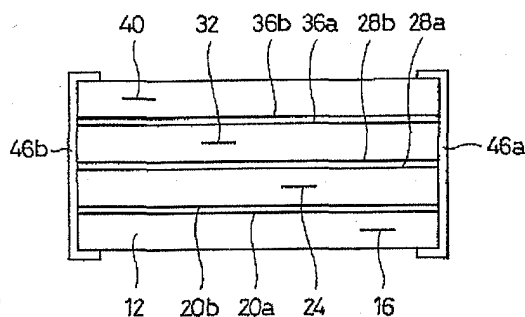
signal electrodes can be made small and a miniaturization of a laminating 3 terminal capacitor array can be attained. Furthermore, by setting or more to two the grand electrode formed between signal electrodes, the adjoining grand electrode serves as this potential, and the cross talk through the grand electrode can be stopped. Moreover, by connecting two or more signal electrodes between the external electrodes which constitute one 3 terminal capacitor, current capacity can be enlarged and the signal of a high current can be passed.

[Translation done.]

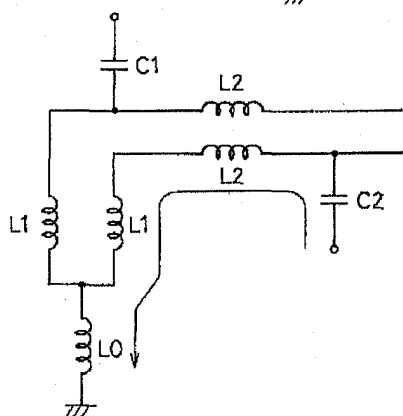
10



[Drawing 5]



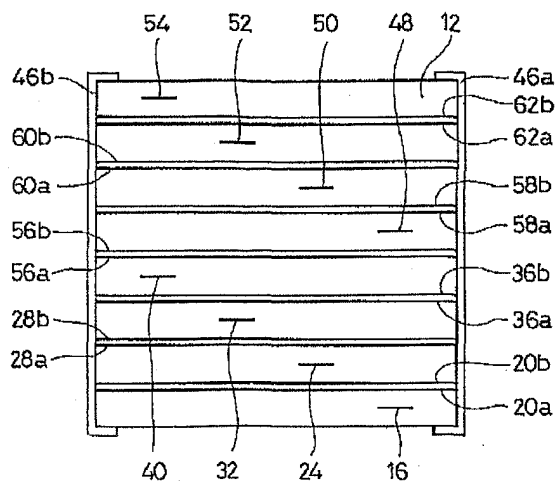
[Drawing 6]



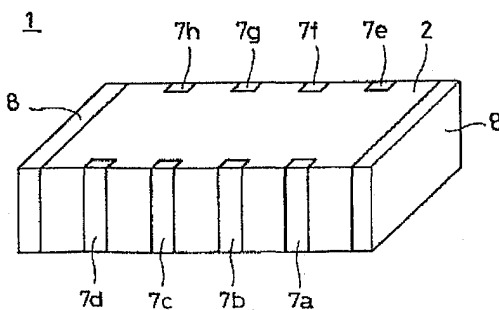
[Drawing 7]

[Drawing 8]

10

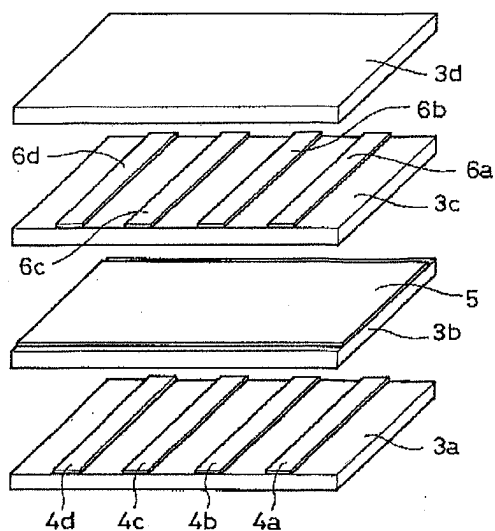


[Drawing 9]

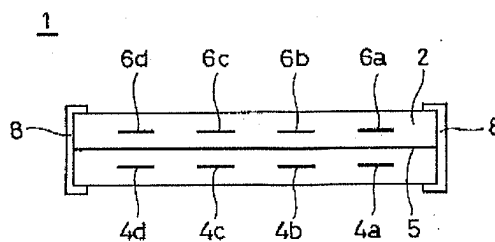


[Drawing 10]

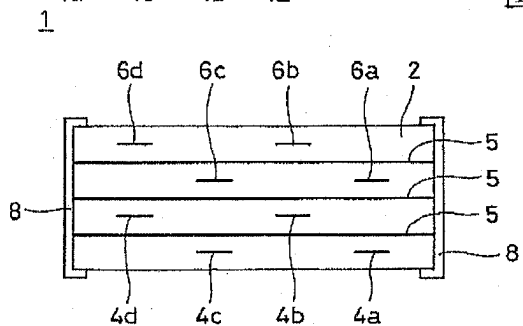
2



[Drawing 11]



[Drawing 12]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214256

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.<sup>6</sup>

H 0 1 G 4/38  
4/35

識別記号

F I

H 0 1 G 4/38  
4/42

A

3 3 1

審査請求 有 請求項の数 3 F D (全 8 頁)

(21) 出願番号 特願平10-32234

(22) 出願日 平成10年(1998) 1月28日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 中 田 泰 弘

京都府長岡京市天神2丁目26番10号 株式  
会社村田製作所内

(72) 発明者 東 貴 博

京都府長岡京市天神2丁目26番10号 株式  
会社村田製作所内

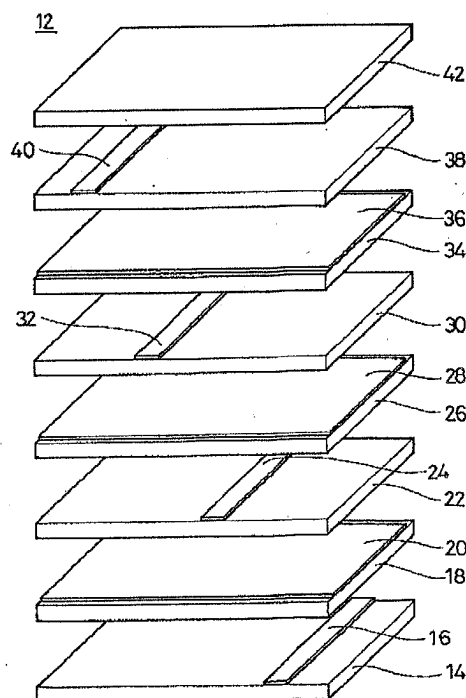
(74) 代理人 弁理士 岡田 全啓

(54) 【発明の名称】 積層3端子コンデンサアレイ

(57) 【要約】

【課題】 小型でクロストークの小さい積層3端子コンデンサアレイを得る。

【解決手段】 積層3端子コンデンサアレイは、積層体12を含む。積層体12は、複数の誘電体層14、18、22、26、30、34、38、42を積層することによって形成される。誘電体層14、22、30、38の上に、1つずつの信号電極16、24、32、40を形成する。これらの信号電極16、24、32、40の間に配置される誘電体層18、26、34の上に、グランド電極20、28、36を形成する。積層体の外面に、信号電極16、24、32、40のそれぞれの両端に接続される外部電極と、グランド電極20、28、36に接続される外部電極とを形成する。各信号電極間のグランド電極の数は、2つ以上とすることができる。



## 【特許請求の範囲】

## 【請求項1】 複数の誘電体層、

前記誘電体層上に形成される複数の信号電極、および前記信号電極の形成されていない前記誘電体層の全面に形成されるグラウンド電極を含む積層体を有し、前記信号電極が形成された前記誘電体層においては1つの前記誘電体層上に1つのみの前記信号電極が形成され、かつ複数の前記信号電極間に前記グラウンド電極が配置されるように前記誘電体層が積層されて積層体が形成され、前記積層体の外面に前記信号電極および前記グラウンド電極のそれぞれに接続される外部電極が形成された、積層3端子コンデンサアレイ。

【請求項2】 前記信号電極間に複数の前記グラウンド電極が配置される、請求項1に記載の積層3端子コンデンサアレイ。

【請求項3】 同一の前記外部電極に複数の前記信号電極が接続された、請求項1または請求項2に記載の積層3端子コンデンサアレイ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は積層3端子コンデンサアレイに関し、特にたとえば、ノイズフィルタなどとして用いられる3端子コンデンサを1チップ内に複数個形成した積層3端子コンデンサアレイに関する。

## 【0002】

【従来の技術】図9は、従来の積層3端子コンデンサアレイの一例を示す斜視図である。積層3端子コンデンサアレイ1は、積層体2を含む。積層体2は、図10に示すように、複数の誘電体層3a～3dを含む。第1の誘電体層3a上には、たとえば4つの直線状の信号電極4a～4dが形成される。また、第2の誘電体層3b上には、信号電極4a～4dが露出した両側を除いて、ほぼ全面にグラウンド電極5が形成される。さらに、第3の誘電体層3c上には、信号電極4a～4dに対応する位置に、別の信号電極6a～6dが形成される。そして、これらの信号電極6a～6dの上に、第4の誘電体層3dが載置される。これらの誘電体層3a～3dが積層されて、積層体2が形成される。

【0003】積層体2の外面には、信号電極4a～4dおよび信号電極6a～6dが接続される外部電極7a～7hが形成される。さらに、積層体2の外面には、グラウンド電極5が接続される2つの外部電極8が形成される。外部電極7a、7eには、信号電極4a、6aが接続される。したがって、外部電極7a、7e間は導通し、かつ外部電極7a、7eと外部電極8との間に静電容量が形成される。同様に、外部電極7b、7fには信号電極4b、6bが接続され、外部電極7c、7gには信号電極4c、6cが接続され、外部電極7d、7hには信号電極4d、6dが接続される。

【0004】この積層3端子コンデンサアレイ1は、た

えばノイズフィルタとして用いられる。つまり、外部電極8をグラウンド電位に接続し、外部電極7a、7e間に信号を流すことにより、外部電極7a、7eと外部電極8との間に形成された静電容量によって、信号中に含まれるノイズが除去される。積層3端子コンデンサアレイ1では、このような3端子コンデンサが複数個形成されているため、1つのチップで複数の信号のノイズを除去することができる。

【0005】この積層3端子コンデンサアレイ1は、図11に示すように、同一面に信号電極4a～4dが形成され、別の同一面に信号電極6a～6dが形成されている。そのため、信号電極4a～4dの隣接するものの間に、浮遊容量が発生する。同様に、信号電極6a～6dの隣接するものの間に、浮遊容量が発生する。この浮遊容量のため、複数の3端子コンデンサに信号を流すと、3端子コンデンサに流れる信号が別の3端子コンデンサに伝わり、いわゆるクロストークが発生する。このような信号電極間の浮遊容量を小さくするため、図12に示すように、信号電極4a、4cと信号電極4b、4dとを異なる面上に形成し、信号電極6a、6cと信号電極6b、6dとを異なる面上に形成したものがある。そして、それぞれの信号電極が形成された面の間に、それぞれグラウンド電極5が形成されている。

【0006】この積層3端子コンデンサアレイ1では、たとえば2つの信号電極4a、4bの間にグラウンド電極5が形成されているため、これらの信号電極4a、4b間に浮遊容量が発生しない。また、同一面内で隣接する信号電極4a、4c間の距離が大きくなるため、これらの信号電極間4a、4c間に発生する浮遊容量は小さくなる。他の信号電極についても同様であり、グラウンド電極の両側にある信号電極間には浮遊容量が発生せず、同一面内で隣接する信号電極間の距離が大きいため、発生する浮遊容量は小さい。したがって、図12に示す積層3端子コンデンサアレイ1では、図11に示すものに比べて、クロストークを小さくすることができる。

## 【0007】

【発明が解決しようとする課題】しかしながら、電子部品の小型化の要請により、積層3端子コンデンサアレイも小型化が進められている。この場合、同一面内にある信号電極の間の距離が小さくなり、浮遊容量が大きくなって、クロストークが大きくなる。さらに、グラウンド電極の両側にある信号電極は、同じグラウンド電極との間で静電容量を形成することになる。そのため、グラウンド電極を介して、その両側にある信号電極間で信号が伝わることもあり、クロストークがやはり発生することがある。

【0008】それゆえに、この発明の主たる目的は、小型でクロストークの小さい積層3端子コンデンサアレイを提供することである。

## 【0009】

【課題を解決するための手段】この発明は、複数の誘電体層と、誘電体層上に形成される複数の信号電極と、信号電極の形成されていない誘電体層の全面に形成されるグラウンド電極とを含む積層体を有し、信号電極が形成された誘電体層においては1つの誘電体層上に1つのみの信号電極が形成され、かつ複数の信号電極間にグラウンド電極が配置されるように誘電体層が積層されて積層体が形成され、積層体の外面に信号電極およびグラウンド電極のそれぞれに接続される外部電極が形成された、積層3端子コンデンサアレイである。この積層3端子コンデンサアレイにおいて、信号電極間に複数のグラウンド電極が配置されるようにしてもよい。さらに、同一の外部電極に複数の信号電極を接続してもよい。

【0010】1つの誘電体層上に1つのみの信号電極が形成され、かつ複数の信号電極間にグラウンド電極が配置されているため、複数の信号電極間に浮遊容量が発生しない。そのため、信号電極間の浮遊容量によるクロストークを低減することができる。しかも、1つの誘電体層には1つの信号電極しか形成されないため、小型化しても、信号電極間の浮遊容量の発生を防止することができる。このような積層3端子コンデンサアレイにおいて、信号電極間に複数のグラウンド電極を形成すれば、それぞれの信号電極は異なるグラウンド電極との間で静電容量を形成することになり、グラウンド電極を介したクロストークを低減することができる。さらに、同一の外部電極に複数の信号電極を接続することにより、容量を大きくできるとともに、1つの3端子コンデンサの信号電極の断面積が大きくなり、電流容量を大きくすることができる。

【0011】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

#### 【0012】

【発明の実施の形態】図1は、この発明の積層3端子コンデンサアレイの一例を示す斜視図である。積層3端子コンデンサアレイ10は、積層体12を含む。積層体12は、図2に示すように、第1の誘電体層14を含む。第1の誘電体層14上には、幅方向に延びる直線状の第1の信号電極16が形成される。第1の信号電極16は、第1の誘電体層14の一端側に近い部分において、その一端とほぼ平行となるように形成される。そして、第1の信号電極16は、第1の誘電体層14の幅方向の両側に露出するように形成される。

【0013】第1の信号電極16の形成された第1の誘電体層14上には、第2の誘電体層18が積層される。第2の誘電体層18上には、第1の信号電極16が露出した両側を除いて、ほぼ全面にグラウンド電極20が形成される。さらに、グラウンド電極20上には、第3の誘電体層22が積層される。第3の誘電体層22上には、第1の信号電極16と平行に、第2の信号電極24が形成

される。この第2の信号電極24は、第3の誘電体層22の幅方向の両側に露出するように形成される。そして、第2の信号電極24は、第1の信号電極16とずれた位置に形成される。

【0014】第2の信号電極24の形成された第3の誘電体層22上には、第4の誘電体層26が積層される。第4の誘電体層26上には、第1および第2の信号電極16、24が露出した両側を除いて、ほぼ全面にグラウンド電極28が形成される。さらに、グラウンド電極28上には、第5の誘電体層30が積層される。第5の誘電体層30上には、第1および第2の信号電極16、24と平行に、第3の信号電極32が形成される。この第3の信号電極32は、第5の誘電体層30の幅方向の両側に露出するように形成される。そして、第3の信号電極32は、第1および第2の信号電極16、24とずれた位置に形成される。

【0015】第3の信号電極32の形成された第5の誘電体層30上には、第6の誘電体層34が積層される。第6の誘電体層34上には、第1、第2および第3の信号電極16、24、32が露出した両側を除いて、ほぼ全面にグラウンド電極36が形成される。さらに、グラウンド電極36上には、第7の誘電体層38が積層される。第7の誘電体層38上には、第1、第2および第3の信号電極16、24、32と平行に、第4の信号電極40が形成される。この第4の信号電極40は、第7の誘電体層38の幅方向の両側に露出するように形成される。そして、第4の信号電極40は、第1、第2および第3の信号電極16、24、32とずれた位置に形成される。この第4の信号電極40の形成された第7の誘電体層38上には、第8の誘電体層42が積層される。

【0016】積層体42の信号電極16、24、32、40の引き出された2つの側面には、外部電極44a、44b、44c、44dおよび外部電極44e、44f、44g、44hが形成される。外部電極44aには第1の信号電極16の一端が接続され、外部電極44eには第1の信号電極16の他端が接続される。また、外部電極44bには第2の信号電極24の一端が接続され、外部電極44fには第2の信号電極24の他端が接続される。外部電極44cには第3の信号電極32の一端が接続され、外部電極44gには第3の信号電極32の他端が接続される。また、外部電極44dには第4の信号電極40の一端が接続され、外部電極44hには第4の信号電極40の他端が接続される。

【0017】さらに、積層体12の外部電極44a～44hが形成されていない2つの側面には、別の外部電極46a、46bが形成される。これらの外部電極46a、46bには、3つのグラウンド電極20、28、36が接続される。この積層3端子コンデンサアレイ10の内部は、図3に示すように、第1の信号電極16、第2の信号電極24、第3の信号電極32および第4の信号

電極40がステップ状に配置され、各信号電極16, 24, 32, 40の間に、グランド電極20, 28, 36が配置されている。

【0018】この積層3端子コンデンサレイ10では、外部電極46a, 46bがグランド電位に接続される。そして、外部電極44a, 44e間、外部電極44b, 44f間、外部電極44c, 44g間および外部電極44d, 44h間に、信号が流される。したがって、図4に示すように、信号電極16, 24, 32, 40に信号が流され、これらの信号電極16, 24, 32, 40とグランド電極20, 28, 36との間に静電容量が形成される。したがって、外部電極44a, 44b, 44c, 44dに信号を入力すると、その中に含まれるノイズが静電容量によって除去され、外部電極44e, 44f, 44g, 44hからノイズのない信号が出力される。

【0019】この積層3端子コンデンサレイ10では、1つの誘電体層上に1つのみの信号電極が形成されており、それぞれの信号電極間にグランド電極が配置されている。つまり、隣接する信号電極間に必ずグランド電極が存在するため、信号電極間に浮遊容量が発生しない。そのため、積層3端子コンデンサレイ10を小型化しても、信号電極間の浮遊容量によって1つの信号電極から他の信号電極に信号が伝わることを防ぐことができ、いわゆるクロストークを減少させることができる。

【0020】しかしながら、図2および図3に示す積層3端子コンデンサレイ10では、第1の信号電極16と第2の信号電極24とがグランド電極20を共有し、第2の信号電極24と第3の信号電極32とがグランド電極28を共有し、第3の信号電極32と第4の信号電極40とがグランド電極36を共有している。そのため、これらのグランド電極20, 28, 36を介したクロストークを防止することができないことがある。そこで、図5に示すように、各信号電極間に複数のグランド電極を形成することが考えられる。

【0021】この積層3端子コンデンサレイ10では、第1の信号電極16と第2の信号電極24との間に、2つのグランド電極20a, 20bが形成されている。同様に、第2の信号電極24と第3の信号電極32との間には2つのグランド電極28a, 28bが形成され、第3の信号電極32と第4の信号電極40との間には2つのグランド電極36a, 36bが形成されている。そして、これらのグランド電極20a, 20b, 28a, 28b, 36a, 36bが外部電極46a, 46bに接続され、外部電極46a, 46bがグランド電位に接続される。

【0022】この積層3端子コンデンサレイ10においても、各信号電極間にグランド電極が形成されているため、信号電極間に浮遊容量が発生せず、信号電極間のクロストークを減少させることができる。さらに、各信

号電極間に2つのグランド電極が形成されており、しかもこれらのグランド電極は同電位であるため、グランド電極間におけるクロストークを減少させることができる。

【0023】これを説明するために、信号電極間に2つのグランド電極を形成した場合の等価回路を図6に示し、信号電極間に1つのグランド電極を形成した場合の等価回路を図7に示す。これらの等価回路において、C1は1つの信号電極とグランド電極との間に形成される静電容量であり、C2は別の信号電極とグランド電極との間に形成される静電容量である。また、L1およびL2は、グランド電極の残留インダクタンスである。ここで、L1は、外部電極46aまたは46bとそれに近い信号電極との間に存在するインダクタンスであり、L2は、2つの信号電極の間隔の範囲に存在するグランド電極のインダクタンスである。さらに、L0は、積層3端子コンデンサレイ10を実装する回路基板の電極の残留インダクタンスである。

【0024】図7では、信号電極間のグランド電極が1つであるため、2つの静電容量C1, C2が、1つのインダクタンスL2で接続されている。それに対して、図6では、信号電極間のグランド電極が2つであるため、2つの静電容量C1, C2が、2つのグランド電極に存在するインダクタンスL1と、1つのグランド電極に存在するインダクタンスL2とで接続されている。

【0025】図7に示す等価回路においては、静電容量C2からグランド電極に伝わったノイズは、インダクタンスL2, L1, L0を介してグランドに流れ、静電容量C1から他の信号電極には伝わらない。しかしながら、ノイズの周波数が高くなると、静電容量C1のインピーダンスが小さくなり、インダクタンスL1+L0のインピーダンスに近くなると、矢印で示すように、ノイズが静電容量C1を介して他の信号電極に伝わりやすくなる。それに対して、図6に示す等価回路においては、静電容量C1とC2とがインダクタンスL2のみで接続されていないため、高周波ノイズのために静電容量C1のインピーダンスが小さくなくても、静電容量C1と回路基板のインダクタンスL0との間のインダクタンスL1がL0より大きい限り、矢印で示すように、ノイズは静電容量C1側に伝わらない。

【0026】このように、1つの誘電体層に1つのみの信号電極を形成し、かつ信号電極間に2つのグランド電極を形成することにより、信号電極間のクロストークおよびグランド電極を介したクロストークを減少させることができる。なお、信号電極間のグランド電極の数は、2つに限らず、3つ以上のグランド電極を形成してもよいことは言うまでもない。

【0027】また、信号電極の電流量を増やすために、図8に示すように、入出力用の外部電極間に複数の信号電極を形成してもよい。ここでは、図5に示す積層

3端子コンデンサアレイの積層構造に加えて、さらに多数の誘電体層を積層し、信号電極48, 50, 52, 54が形成されている。さらに、グラウンド電極22a, 22b, 28a, 28b, 36a, 36bに加えて、グラウンド電極56a, 56b, 58a, 58b, 60a, 60b, 62a, 62bが形成されている。これらのグラウンド電極は、各信号電極の間に、それぞれ2つずつ形成される。

【0028】信号電極16, 48は、互いに対応する位置に形成され、外部電極44a, 44eに接続される。同様に、信号電極24, 50、信号電極32, 52および信号電極40, 54は、互いに対応する位置に形成され、それぞれ外部電極44b, 44f、外部電極44c, 44gおよび外部電極44d, 44hに接続される。この積層3端子コンデンサアレイ10では、たとえば外部電極44a, 44e間に2つの信号電極16, 48が接続されているため、1つの信号電極16のみが接続された図5に示す積層3端子コンデンサアレイに比べて、高容量で信号電極の断面積が2倍となる。そのため、外部電極44a, 44e間の信号電極の電流容量が大きくなり、大電流の信号を流すことができる。

【0029】もちろん、外部電極間に接続される信号電極の数は3つ以上であってもよく、所望の電流容量に応じて、外部電極間に接続される信号電極の数を調整すればよい。外部電極間の信号電極の数を増やすには、信号電極を形成した誘電体層の積層数を増やせばよく、各信号電極間にグラウンド電極を形成するようにすることにより、上述のように、クロストークを防止することができる。なお、信号電極間に1つのグラウンド電極を形成した積層3端子コンデンサアレイについても、外部電極間に接続される信号電極の数を増やすことにより、その電流容量を大きくすることができる。

【0030】

【発明の効果】この発明によれば、1つの誘電体層上に1つのみの信号電極が形成されており、しかも信号電極間にグラウンド電極を形成することにより、信号電極間に浮遊容量が発生せず、信号電極間におけるクロストークを抑えることができる。そのため、信号電極間の距離を小さくすることができ、積層3端子コンデンサアレイの小型化を図ることができる。さらに、信号電極間に形成されるグラウンド電極を2つ以上にするにより、隣接するグラウンド電極が同電位となり、グラウンド電極を介したクロストークを抑えることができる。また、1つの3端子コンデンサを構成する外部電極間に複数の信号電極を接続することにより、電流容量を大きくすることができる。大電流の信号を流すことができる。

【図面の簡単な説明】

【図1】この発明の積層3端子コンデンサアレイの一例を示す斜視図である。

【図2】図1に示す積層3端子コンデンサアレイの積層体を示す分解斜視図である。

【図3】図1に示す積層3端子コンデンサアレイの断面図解図である。

【図4】図1に示す積層3端子コンデンサアレイの等価回路図である。

【図5】この発明の積層3端子コンデンサアレイの他の例を示す断面図解図である。

【図6】図5に示す積層3端子コンデンサアレイに形成される2つの3端子コンデンサの間の関係を示す等価回路図である。

【図7】図3に示す積層3端子コンデンサアレイに形成される2つの3端子コンデンサの間の関係を示す等価回路図である。

【図8】図5に示す積層3端子コンデンサアレイの変形例を示す断面図解図である。

【図9】従来の積層3端子コンデンサアレイの一例を示す斜視図である。

【図10】図9に示す従来の積層3端子コンデンサアレイに用いられる積層体の分解斜視図である。

【図11】図9に示す従来の積層3端子コンデンサアレイの断面図解図である。

【図12】図11に示す積層3端子コンデンサアレイのクロストークを改善した積層3端子コンデンサアレイを示す断面図解図である。

【符号の説明】

10 積層3端子コンデンサアレイ

12 積層体

14 第1の誘電体層

16 第1の信号電極

18 第2の誘電体層

20 グラウンド電極

22 第3の誘電体層

24 第2の信号電極

26 第4の誘電体層

28 グラウンド電極

30 第5の誘電体層

32 第3の信号電極

34 第6の誘電体層

36 グラウンド電極

38 第7の誘電体層

40 第4の信号電極

42 第8の誘電体層

44a~44h 外部電極

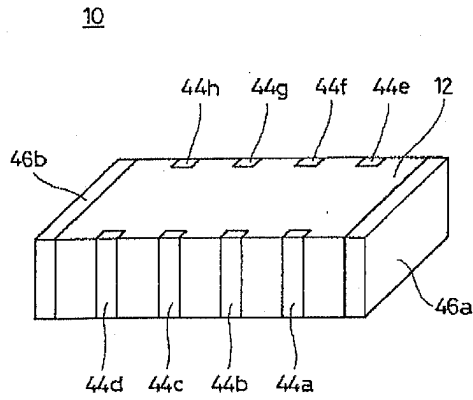
46a, 46b 外部電極

48, 50, 52, 54 信号電極

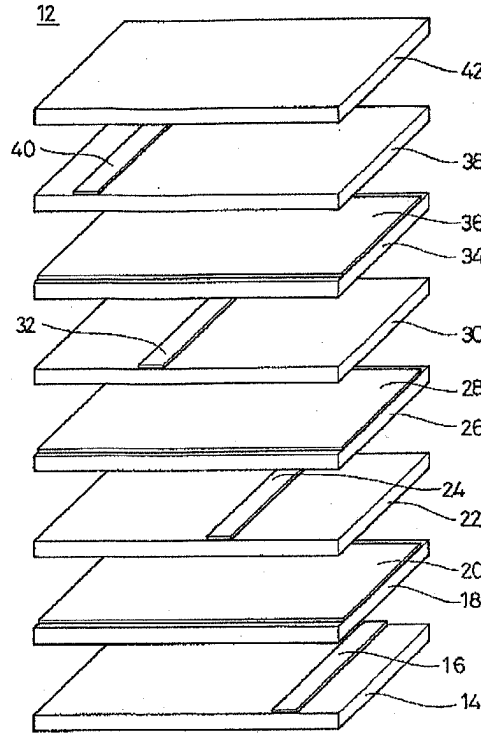
56a, 56b, 58a, 58b グラウンド電極

60a, 60b, 62a, 62b グラウンド電極

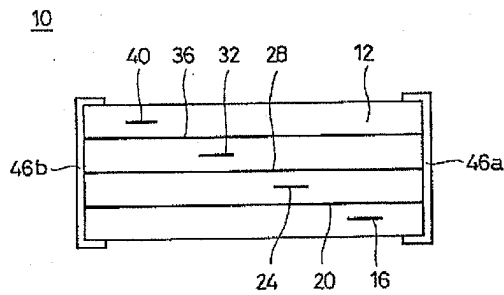
【図1】



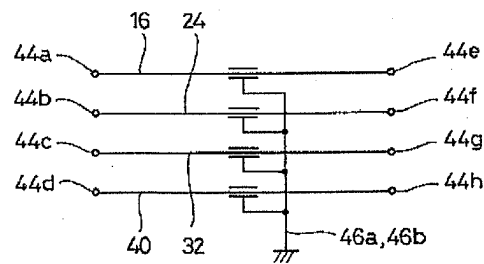
【図2】



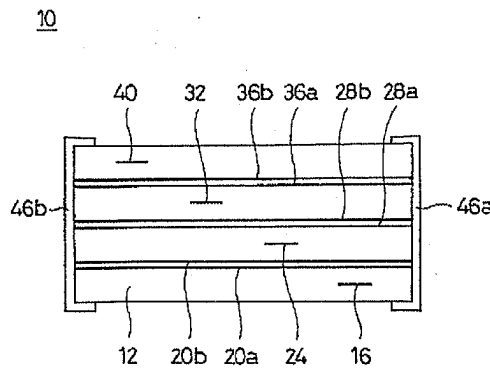
【図3】



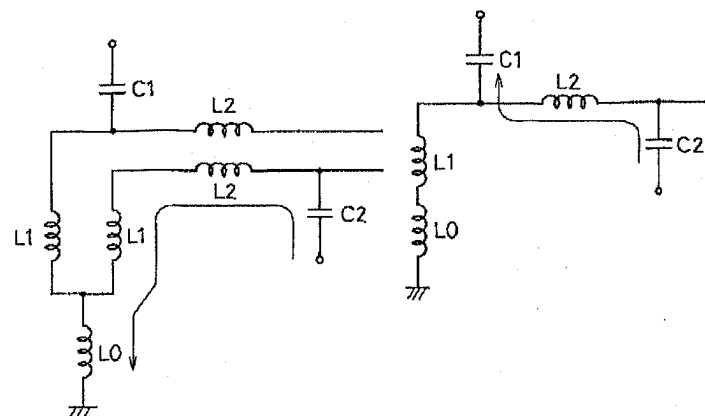
【図4】



【図5】



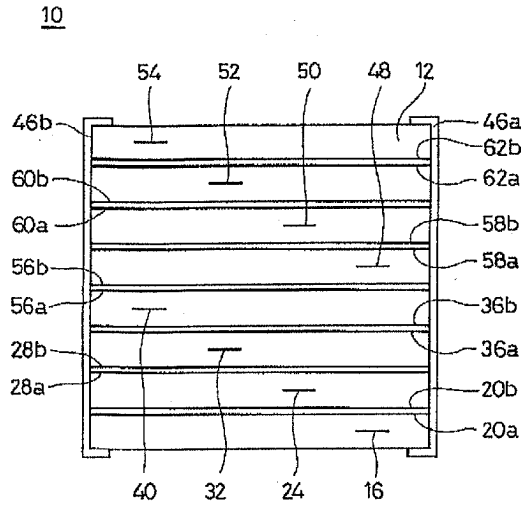
【図6】



【図7】

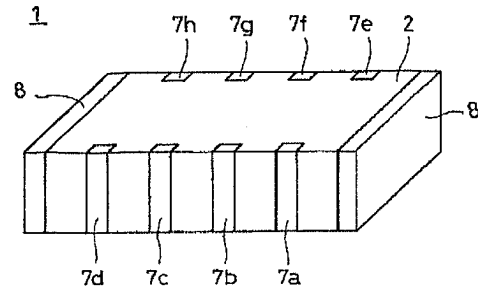


【図8】

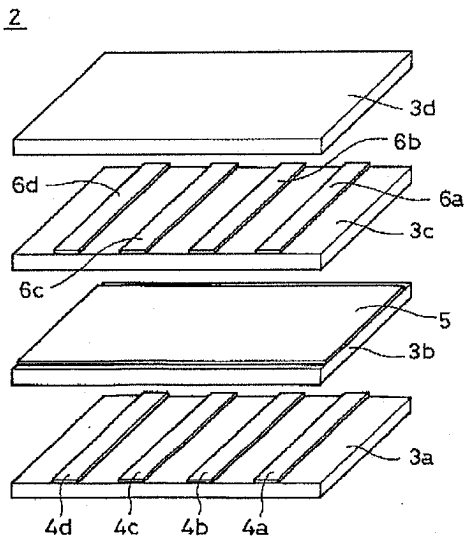


【図10】

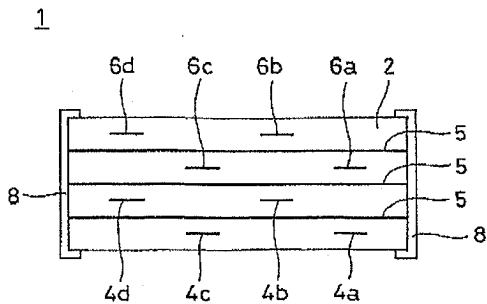
【図9】



【図11】



【図12】



## 【手続補正書】

【提出日】平成11年2月15日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数の誘電体層、前記誘電体層上に形成される複数の信号電極、および前記信号電極の形成されていない前記誘電体層の全面に形成されるグラウンド電極を含む積層体を有し、  
前記信号電極が形成された前記誘電体層においては1つの前記誘電体層上に1つのみの前記信号電極が形成され、かつ隣接する前記信号電極間に複数の前記グラウンド電極が配置されるように前記誘電体層が積層されて積層体が形成され、前記積層体の外面に前記信号電極および前記グラウンド電極のそれぞれに接続される外部電極が形成された積層3端子コンデンサアレイであって、  
隣接する前記信号電極は積層方向において互いに対向する面を有していないように配置される、積層3端子コンデンサアレイ。

【請求項2】 同一の前記外部電極に複数の前記信号電

極が接続された、請求項1に記載の積層3端子コンデンサアレイ。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】

【課題を解決するための手段】この発明は、複数の誘電体層と、誘電体層上に形成される複数の信号電極と、信号電極の形成されていない誘電体層の全面に形成されるグラウンド電極とを含む積層体を有し、信号電極が形成された誘電体層においては1つの誘電体層上に1つのみの信号電極が形成され、かつ隣接する信号電極間に複数のグラウンド電極が配置されるように誘電体層が積層されて積層体が形成され、積層体の外面に信号電極およびグラウンド電極のそれぞれに接続される外部電極が形成された積層3端子コンデンサアレイであって、隣接する信号電極は積層方向において互いに対向する面を有していないように配置される、積層3端子コンデンサアレイである。この積層3端子コンデンサアレイにおいて、同一の外部電極に複数の信号電極を接続してもよい。